

PAT-NO: JP02000228522A

DOCUMENT-IDENTIFIER: JP 2000228522 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: August 15, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
NAKANISHI, TOSHIRO	N/A
ISHIKAWA, KENJI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	N/A

APPL-NO: JP11029505

APPL-DATE: February 8, 1999

INT-CL (IPC): H01L029/78, H01L021/28 , H01L021/283 , H01L021/318
, H01L021/8238 , H01L027/092

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent impurities from penetrating through a channel region by, related to a method for manufacturing a semiconductor

device, preventing an impurity such as boron from passing the interface between a polycrystal silicon gate and a gate oxide film.

SOLUTION: An oxide film 2 which is to be a gate oxide film is formed on a silicon wafer 1 before plasma irradiation in the atmosphere of rare gas such as Ar, Ne, He, Xe, and Kr, so that the connection between silicon and oxygen in the oxide film 2 is cut, and then a plasma is radiated in the atmosphere comprising N₂ to combine nitrogen to a silicon so that a nitride film 3 is generated on the surface of the oxide film 2. Further, a heat treatment is performed in the atmosphere comprising N₂ to recover from the plasma damage before a polycrystal silicon film is formed on the oxide film 2 where the nitride film 3 is generated.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-228522

(P2000-228522A)

(43) 公開日 平成12年8月15日 (2000.8.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 4 M 1 0 4
21/28	3 0 1	21/28	3 0 1 A 5 F 0 4 0
21/283		21/283	C 5 F 0 4 8
21/318		21/318	M 5 F 0 5 8
21/8238		27/08	3 2 1 D

審査請求 未請求 請求項の数 1 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平11-29505

(22) 出願日 平成11年2月8日 (1999.2.8)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 中西 俊郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 石川 健治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100072833

弁理士 柏谷 昭司 (外2名)

最終頁に続く

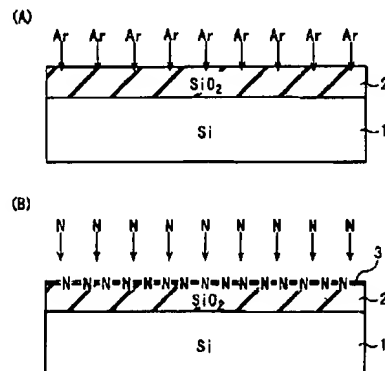
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造方法に関し、多結晶シリコン・ゲートとゲート酸化膜との界面で硼素などの不純物が通過するのを阻止できるようにして、不純物がチャネル領域に突き抜けることがないようにする。

【解決手段】 シリコン・ウエハ1上にゲート酸化膜となる酸化膜2を形成してからAr、Ne、He、Xe、Krなどの稀ガス雰囲気中でプラズマ照射して酸化膜2に於けるシリコンと酸素の結合を切断し、次に、N₂を含む雰囲気中でプラズマ照射して窒素とシリコンとを結合させ酸化膜2の表面上に窒化膜3を生成させ、次に、N₂を含む雰囲気中で熱処理を行ってプラズマ・ダメージを回復させ、その後、窒化膜3が生成された酸化膜2上に多結晶シリコン膜を形成する。

工程50に在る半導体装置の要部切面図



1: シリコン・ウエハ
2: 酸化膜
3: 窒化膜

【特許請求の範囲】

【請求項1】シリコン半導体基板上にゲート酸化膜を形成してから稀ガス雰囲気中でプラズマ照射してゲート酸化膜に於けるシリコンと酸素の結合を切断する工程と、次いで、 N_2 を含む雰囲気中でプラズマ照射して窒素とシリコンとを結合させゲート酸化膜表面上に窒化層を生成させる工程と、

次いで、 N_2 を含む雰囲気中で熱処理を行ってプラズマ・ダメージを回復させる工程と、

その後、前記窒化層が生成されたゲート酸化膜上に多結晶シリコン膜を形成する工程とが含まれてなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコンMOSデバイスに於けるゲートの形成方法を改善した半導体装置の製造方法に関する。

【0002】

【従来の技術】現在、シリコンMOSデバイスは、その微細化にともなって、種々な物理的、及び、技術的な限界に直面している状態に在り、これを打開する為の技術イノベーションが必要とされている。

【0003】シリコンMOSデバイスを高性能化する為の手段として、ゲート酸化膜の薄膜化が挙げられ、学会発表論文では、直接トンネリングが起こってしまうような1.5[nm]の極薄ゲート酸化膜を用いた高速動作トランジスタの動作について報告がなされている。

【0004】然しながら、例えばデュアル・ゲートCMOS、即ち、pチャネルMOSトランジスタに於ける多結晶シリコン・ゲートに酸素を、また、nチャネルMOSトランジスタに於ける多結晶シリコン・ゲートに磷をそれぞれ導入したCMOSに於いて、ゲート酸化膜を薄膜化した場合、pチャネルMOSトランジスタに於ける p^+ ゲートからチャネル領域へ酸素が突き抜け易い。

【0005】前記のような不純物イオンの突き抜けを抑制するには、ゲート酸化膜の窒化が有効であるとされている。

【0006】例えば、ゲート酸化膜を温度500[℃]以上でアンモニアに曝した場合、アンモニアの熱分解で生成された水素に依ってゲート酸化膜が還元され、そこで発生したシリコンのダングリング・ボンドに窒素原子が容易に結合して酸窒化層となるものである。

【0007】酸窒化層は酸化膜に比較して緻密な構造になるので、酸素の拡散を阻止する機能があり、しかも、金属との反応が少ない旨の長所をもっているが、前記したように、アンモニアを用いた場合、10[原子%]～20[原子%]もの窒素が取り込まれた「重い」窒化となる為、高密度の固定電荷、界面準位が発生し、電子のチャネル移動度が劣化する旨の問題を生じ、また、アンモニアが分解することで必然的に発生する水素を多く取

り込んでしまう為、電子トラップが多くなる欠点もある。

【0008】そこで、亜酸化窒素(N_2O)を用いたRTP(rapid thermal process)に依って、1[原子%]前後の「軽い」窒化を行って、酸素の拡散を抑制する試みがなされた。

【0009】 N_2O を用いることに依って、水素を取り込まない窒化が可能になると同時に N_2O の窒化力が弱い為に結果的に「軽い」窒化になるのである。

【0010】「軽い」窒化を行うことで、酸化膜と比較した場合には、若干の V_{th} シフトが見られるが、「重い」窒化の場合に見られたキャリア移動度の低下は、キャリア移動度のピーク値が若干低下するものの、高電界に於いては逆にキャリア移動度が向上する旨の現象が見られた。また、ホット・キャリア・ストレスに依る増幅度 g の劣化はpチャネル又はnチャネルの両方とも抑制できることが判った。この理由は、 N_2O 酸窒化が水素結合を作らず、界面に強固なSi-N結合を生成する為である。

【0011】ところで、 N_2O を用いた酸窒化では、最初、 $N_2O + O \rightarrow 2NO$ 、なる熱分解反応が起こって一酸化窒素(NO)が発生して始めて窒化が可能になるものであり、従って、1[%]以上の窒素を制御性良く導入するには、1000[℃]以上の高温が必要となり、CMOSに於けるチャネルの不純物濃度プロファイルを変えてしまう旨の問題があり、また、 N_2O 酸窒化を短時間でRTP処理しようとするとな熱分解が不完全となり、面内の酸窒化が不均一になる。

【0012】そこで、NOガスを用いた酸窒化技術が開発された。NOガスは、 N_2O 酸窒化と同様に水素を取り込む心配がない上、 N_2O 酸窒化で必要となるNO生成熱反応が不要であることから、比較的、低温で窒化することができ、また、均一性も良好である。

【0013】然しながら、 N_2O 酸窒化も同じであるが、NO酸窒化では、シリコン基板と酸化膜との界面に窒化層が生成される為、多結晶シリコンから拡散した酸素が酸化膜中に滞留する旨の問題がある。

【0014】酸化膜中に存在する酸素は、TDDB(time dependent dielectric breakdown)寿命を短くすると共にストレス・リーク電流を増加させる旨の問題もある。

【0015】また、低濃度であるとはいえ、界面に窒素が存在すれば、キャリア移動度が低下してオン電流が減少する旨の問題も起こる。

【0016】前記した酸窒化技術とは別に、多結晶シリコン・ゲートに窒素イオンを打ち込んで、多結晶シリコンと酸化膜との界面に窒化層を形成する方法も提案されているが、そのようにした場合、多結晶シリコン中に窒素原子が多量に残留して多結晶シリコンの抵抗を上昇させてしまう旨の問題がある。

【0017】また、ゲート酸化膜上にゲート窒化層を堆積する方法もあるが、信頼性を十分に確保する為には、ゲート絶縁膜の膜厚が厚くなりすぎてしまう旨の問題があった。

【0018】

【発明が解決しようとする課題】本発明では、多結晶シリコン・ゲートとゲート酸化膜との界面で硼素などの不純物が通過するのを阻止できるようにして、不純物がチャネル領域に突き抜けることがないようにする。

【0019】

【課題を解決するための手段】従来の技術に見られるように、シリコン基板表面を酸化してゲート酸化膜を形成してから窒化を行っても、ゲート酸化膜の表面のみに窒素を偏在させることは困難であり、それを実現するには、一工夫が必要である。

【0020】本発明では、当初、シリコン基板表面を熱酸化してゲート酸化膜を形成する点では従来の技術と変わらないが、その後、ゲート酸化膜に於けるシリコンと酸素との結合を切断してから窒化を行うことが基本になっている。

【0021】前記したところから、本発明に依る半導体装置の製造方法では、シリコン半導体基板（例えばシリコン・ウェハ）上にゲート酸化膜（例えば酸化膜2）を形成してから稀ガス（Ar, Ne, He, Xe, Kr）雰囲気中でプラズマ照射してゲート酸化膜に於けるシリコンと酸素の結合を切断する工程と、次いで、N₂を含む雰囲気中でプラズマ照射して窒素とシリコンとを結合させゲート酸化膜表面上に窒化層（例えば窒化層3）を生成させる工程と、次いで、N₂を含む雰囲気中で熱処理を行ってプラズマ・ダメージを回復させる工程と、その後、前記窒化層が生成されたゲート酸化膜上に多結晶シリコン膜を形成する工程とが含まれてなることを特徴とする。

【0022】前記手段を採ることに依り、多結晶シリコンと酸化膜との界面に於ける窒素濃度は高く、且つ、酸化膜とシリコン基板との界面に於ける窒素濃度は低く維持した窒素濃度プロファイルが実現され、従って、多結晶シリコンから拡散する不純物が酸化膜を突き抜けることはなくなり、また、酸化膜中に該不純物が滞留することもなくなる。

【0023】その結果、半導体装置のしきい値V_{th}が変動することはなくなり、また、Q_{bd}で表される電荷量、即ち、TDDDB寿命を測定して得られる破壊に到るまでの通過電荷量が低下することなく、更にまた、チャネル領域に窒素が存在するとしても、ごく微量であって、チャネルに於けるキャリア移動度を低下させるようなことはなく、しかも、ホット・エレクトロン劣化を抑止するのにも有効である。

【0024】

【発明の実施の形態】図1は本発明に於ける一実施の形

態を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、図を参照しつつ説明する。

【0025】図1(A)参照

1-(1)

熱酸化法を適用することに依り、シリコン・ウェハ1に厚さが26[Å]の酸化膜2を形成する。

【0026】1-(2)

ダウン・フロー型プラズマ発生装置内に酸化膜2をもつシリコン・ウェハ1をセットし、流量を100[sccm]としたArを流し、圧力を10[Torr]、プラズマ・パワーを1[kW]、時間を60[秒]としてプラズマ照射を行う。

【0027】この表面処理に依って、酸化膜2に於けるシリコンと酸素の結合はArの励起エネルギー(11.6[eV])に依って切断されてしまう。

【0028】図1(B)参照

1-(3)

流量を500[sccm]としたN₂を流し、圧力を10[Torr]、プラズマ・パワーを1[kW]、時間を60[秒]として窒素プラズマに曝すことで、酸化膜2の表面に於けるシリコンのボンドに窒素ラジカル或いは窒素イオンを結合させて窒化層3を形成する。

【0029】プラズマ・ダメージを回復させる為、N₂雰囲気中で時間30[分]の熱処理を行なう。

【0030】CVD(chemical vapor deposition)法を適用して多結晶シリコン膜を形成し、パターニングして多結晶シリコン・ゲートを形成する。

【0031】後の適当な段階に於ける他の領域の形成、例えばソース領域及びドレイン領域の形成などに合わせて多結晶シリコン・ゲートにも例えば硼素を導入する。

【0032】以上のようにして形成した多結晶シリコン・ゲートから、硼素がチャネル領域に突き抜けることはなかった。

【0033】図2は図1について説明した半導体装置に於ける窒素の深さプロファイルを表す線図であり、横軸には深さ[nm]を、縦軸には窒素濃度をそれぞれ採っている。尚、このデータは、SIMS(secondary ion mass spectroscopy)に依る解析で得られたものである。

【0034】図から明らかなように、多結晶シリコン・ゲートと酸化膜との界面に於ける窒素濃度は 3×10^{19} [cm⁻³]になっていることが看取されよう。

【0035】本発明では、前記実施の形態に限られることなく、他に多くの改変を実現することができる。

【0036】例えば、前記実施の形態に於いては、酸化膜中に於けるシリコンと酸素との結合を切断する為、Ar雰囲気中でプラズマを照射したが、これは、Ne雰囲気、He雰囲気、Xe雰囲気、Kr雰囲気に代替しても同効である。

【0037】

【発明の効果】本発明に依る半導体装置の製造方法に於いては、シリコン半導体基板上にゲート酸化膜を形成してから稀ガス雰囲気中でプラズマ照射してゲート酸化膜に於けるシリコンと酸素の結合を切断し、 N_2 を含む雰囲気中でプラズマ照射して窒素とシリコンとを結合させゲート酸化膜表面上に窒化層を生成させ、 N_2 を含む雰囲気中で熱処理を行ってプラズマ・ダメージを回復させ、窒化層が生成されたゲート酸化膜上に多結晶シリコン膜を形成する。

【0038】前記構成を採ることに依り、多結晶シリコンと酸化膜との界面に於ける窒素濃度は高く、且つ、酸化膜とシリコン基板との界面に於ける窒素濃度は低く維持した窒素濃度プロファイルが実現され、従って、多結晶シリコンから拡散する不純物が酸化膜を突き抜けることはなくなり、また、酸化膜中に該不純物が滞留することなくなる。

【0039】その結果、半導体装置のしきい値 V_{th} が変

動することはない。また、 Q_{bd} で表される電荷量、即ち、TDD B寿命を測定して得られる破壊に到るまでの通過電荷量が低下することなく、更にまた、チャネル領域に窒素が存在するとしても、ごく微量であって、チャネルに於けるキャリア移動度を低下させるようなことはなく、しかも、ホット・エレクトロン劣化を抑止するのにも有効である。

【図面の簡単な説明】

【図1】本発明に於ける一実施の形態を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図2】図1について説明した半導体装置に於ける窒素の深さプロファイルを表す線図である。

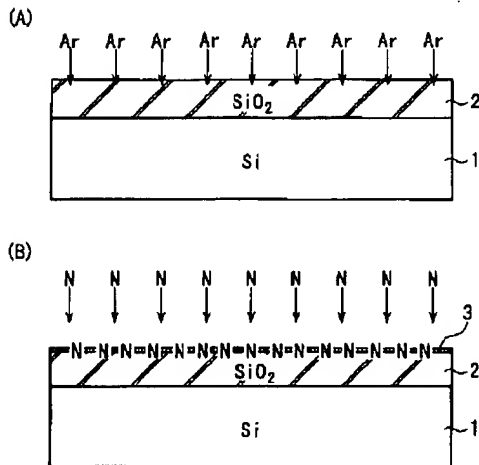
【符号の説明】

- 1 シリコン・ウェハ
- 2 酸化膜
- 3 窒化層

【図1】

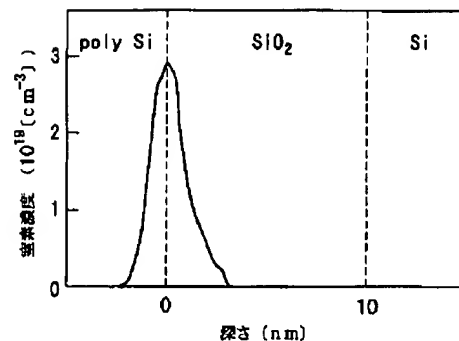
【図2】

工程要所に在る半導体装置の要部切断側面図



- 1 : シリコン・ウェハ
2 : 酸化膜
3 : 窒化層

窒素の深さプロファイルを表す線図



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I

テーマコード (参考)

H 0 1 L 27/092

Fターム(参考) 4M104 AA01 BB01 BB40 EE03 EE12

EE14 GG09 HH05

5F040 DA00 DB01 EC07 ED05 ED07

FC00 FC14

5F048 BB07 BB11 BB12 BB18

5F058 BA20 BD01 BD03 BD04 BD09

BD10 BF51 BF52 BF72 BF74

BH01 BH04 BJ01